

BEST AVAILABLE COPY

03160191 11

日本国特許庁
JAPAN PATENT OFFICE

30.3.2004

PCT/JP2004/004480

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

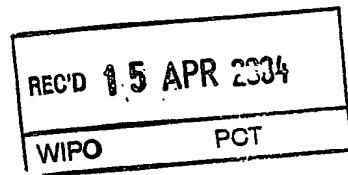
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 3月31日

出願番号
Application Number: 特願2003-096093

[ST. 10/C]: [JP2003-096093]

出願人
Applicant(s): ソニー株式会社

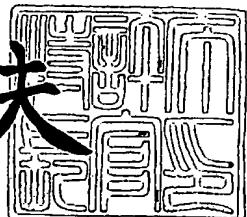


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年11月 6日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3091968

【書類名】 特許願

【整理番号】 0390268106

【提出日】 平成15年 3月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82

H01L 27/04

H01L 21/822

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 森 日出樹

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 江尻 洋一

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 浅見 健司

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 大野 晃計

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 吉武 伸之

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

フューズ本体部と当該フューズ本体部によって連結されている2つのパッド部とを備えているフューズと、前記2つのパッド部のそれぞれに1つずつ接続されている2つの導電層と、が半導体基板上の積層構造内に形成されている半導体装置であって、

前記2つの導電層間に電気的ストレスを印加し前記フューズを溶断したときに、前記導電層と重なる領域から離れた前記フューズ本体部内の位置に当該フューズの溶断部がくるように、前記フューズ本体部の長さが規定されていることを特徴とする半導体装置。

【請求項 2】

前記フューズ本体部の幅が前記2つのパッド部の各々の幅より小さく、前記フューズ本体部の長さが $1.8 \mu m$ より大きく $20 \mu m$ 以下であることを特徴とする請求項1に記載の半導体装置。

【請求項 3】

前記2つの導電層の少なくとも一方が、対応する前記パッド部に接続されている所定幅の部分と、当該所定幅の部分より幅が狭い配線部分と、を有することを特徴とする請求項1に記載の半導体装置。

【請求項 4】

前記2つの導電層の少なくとも一方に、当該導電層より幅が狭い配線層が接続されている

ことを特徴とする請求項1に記載の半導体装置。

【請求項 5】

前記2つの導電層の少なくとも一方において、前記パッド部とのコンタクト領域を含む導電層部分の幅が $6 \mu m$ 以上 $14 \mu m$ 以下であることを特徴とする請求項1に記載の半導体装置。

【請求項 6】

前記2つの導電層間の距離が、前記フューズの前記2つのパッド部間の距離より大きい

ことを特徴とする請求項1に記載の半導体装置。

【請求項7】

前記2つの導電層の少なくとも一方において、当該導電層と前記パッド部とを接続するコンタクト領域から前記フューズ本体部に接したパッド部エッジまでの距離が0.25μm以上で0.90μm以下である

ことを特徴とする請求項1に記載の半導体装置。

【請求項8】

フューズ本体部と当該フューズ本体部によって連結されている2つのパッド部とを備えているフューズと、前記2つのパッド部のそれぞれに1つずつ接続されている2つの導電層と、が半導体基板上の積層構造内に形成されている半導体装置であって、

前記2つの導電層間に電気的ストレスを印加し前記フューズを溶断したときに、前記導電層と重なる領域から離れた前記フューズ本体部内の位置に当該フューズの溶断部がくるように、前記2つの導電層の少なくとも一方において、前記パッド部とのコンタクト領域を含む導電層部分の幅が規定されている
ことを特徴とする半導体装置。

【請求項9】

前記コンタクト領域を含む導電層部分の前記幅が6μm以上14μm以下である

ことを特徴とする請求項8に記載の半導体装置。

【請求項10】

前記フューズ本体部の幅が前記2つのパッド部の各々の幅より小さく、前記フューズ本体部の長さが1.8μmより大きく20μm以下である
ことを特徴とする請求項8に記載の半導体装置。

【請求項11】

前記2つの導電層の少なくとも一方が、対応する前記パッド部に接続されている所定幅の部分と、当該所定幅の部分より幅が狭い配線部分と、を有する

ことを特徴とする請求項8に記載の半導体装置。

【請求項12】

前記2つの導電層の少なくとも一方に、当該導電層より幅が狭い配線層が接続されている

ことを特徴とする請求項8に記載の半導体装置。

【請求項13】

前記2つの導電層間の距離が、前記フューズの前記2つのパッド部間の距離より大きい

ことを特徴とする請求項8に記載の半導体装置。

【請求項14】

前記2つの導電層の少なくとも一方において、当該導電層と前記パッド部とを接続するコンタクト領域から前記フューズ本体部に接したパッド部エッジまでの距離が0.25μm以上で0.90μm以下である

ことを特徴とする請求項8に記載の半導体装置。

【請求項15】

半導体基板上の積層構造内に導電材料からなるフューズを有し、当該フューズが、フューズ本体部と、フューズ本体部によって連結されている2つのパッド部とを備えている半導体装置であって、

前記フューズ本体部の幅が前記2つのパッド部の各々の幅より小さく、

前記フューズ本体部の長さが1.8μmより大きく20μm以下である

ことを特徴とする半導体装置。

【請求項16】

半導体基板上の積層構造内に導電材料からなるフューズを有し、当該フューズが、フューズ本体部と、フューズ本体部によって連結されている2つのパッド部とを備え、前記2つのパッド部のそれぞれに導電層が1つずつ接続されている半導体装置であって、

2つの前記導電層の少なくとも一方において、当該導電層と前記パッド部とを接続するコンタクト領域を含む導電層部分の幅が6μm以上14μm以下であることを特徴とする半導体装置。

【請求項17】

複数の単位抵抗が接続された抵抗回路を有し、
前記単位抵抗の幾つかにフューズが接続され、
前記フューズが、フューズ本体部と、当該フューズ本体部によって連結されて
いる2つのパッド部とを備え、
前記フューズと、前記2つのパッド部のそれぞれに1つずつ接続されている2
つの導電層と、が半導体基板上の積層構造内に形成され、
前記2つの導電層間に電気的ストレスを印加し前記フューズを溶断したときに
、前記導電層と重なる領域から離れた前記フューズ本体部内の位置に当該フュー
ズの溶断部がくるように、前記フューズ本体部の長さが規定され、
前記電気的ストレスを印加して溶断するフューズの組み合わせを内部回路によ
り選択し、前記抵抗回路の抵抗値を変化させる
ことを特徴とする半導体装置。

【請求項18】

複数の単位抵抗が接続された抵抗回路を有し、前記単位抵抗の幾つかにフュー
ズが接続され、
前記フューズが、フューズ本体部と、当該フューズ本体部によって連結されて
いる2つのパッド部とを備え、
前記フューズと、前記2つのパッド部のそれぞれに1つずつ接続されている2
つの導電層と、が半導体基板上の積層構造内に形成され、
前記2つの導電層間に電気的ストレスを印加し前記フューズを溶断したときに
、前記導電層と重なる領域から離れた前記フューズ本体部内の位置に当該フュー
ズの溶断部がくるように、前記2つの導電層の少なくとも一方において、前記パ
ッド部とのコンタクト領域を含む導電層部分の幅が規定され、
前記電気的ストレスを印加して溶断するフューズの組み合わせを内部回路によ
り選択し、前記抵抗回路の抵抗値を変化させる
ことを特徴とする半導体装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】

本発明は、半導体基板上の積層構造内に導電材料からなるフューズを有する半導体装置に関する。

【0002】**【従来の技術】**

従来、半導体集積回路（IC）の特性を調整する技術（トリミング技術）として、たとえばポリシリコンからなるフューズを用いるものと、ツエナーザップダイオードを用いるものがある。

【0003】

フューズを用いたトリミング技術は、IC内のトランジスタのゲート電極または抵抗などに多用されているポリシリコン層の形成と同時にフューズの形成が可能であり、遮断したい電流路にフューズを挿入するだけの簡単な構成で特性調整が可能であることから広く用いられている。フューズの溶断は、一般に、レーザビーム照射により行うか、あるいは、フューズに電流を流すことにより達成する。

【0004】

図9および図10に、電流供給によりフューズを溶断するトリミング回路を、抵抗値を調整する場合を例として示す。図9は、トリミング回路の構成を示す回路図である。

図9に示す回路の直列抵抗Rは、基準抵抗R0（抵抗値：r0）とトリミング用抵抗R1, R2（抵抗値：r1, r2）により構成され、これらの抵抗R0～R2が直列接続されている。トリミング用抵抗R1, R2に対し、それぞれポリシリコンからなるフューズF1, F2が並列に接続されている。基準抵抗R0とトリミング用抵抗R1との接続中点に電極パッドPD1が接続され、トリミング用抵抗R1, R2の接続中点に電極パッドPD2が接続され、トリミング用抵抗R2のもう一方の側に電極パッドPD3が接続されている。

【0005】

図10（A）および図10（B）は、フューズF1の平面図および断面図である。半導体基板100上に絶縁膜101が形成され、絶縁膜101上にポリシリ

コンからなるフューズF1が形成されている。フューズF1を形成するポリシリコン層102は、2つのパッド部102Baおよび102Bbと、その間を連結するフューズ本体部102Aとからなる形状にパターンニングされている。さらに、フューズ本体部102Aは、フューズライン部102Aaと、コーナー部での電界集中を分散させるなどの理由からフューズライン部102Aaの両端から外側ほど幅広に形成された連結部102Abとからなる。

【0006】

ポリシリコン層102上に、たとえば酸化シリコンまたは塗化シリコンなどからなる層間絶縁膜103が形成されている。層間絶縁膜103は、ポリシリコン層102の両端のパッド部102Baおよび102Bbのほぼ中央で開口され、これによりパッド開口部103Aと103Bが形成されている。層間絶縁膜103のパッド開口部103A, 103Bより一回り大きなパターンにて電極層104Aと104Bが形成されている。電極層104Aと104Bは、配線としてICチップの周縁部に延び、ここで図9に示す電極パッドPD1, PD2に接続されている。

【0007】

このような構成のトリミング回路では、たとえば、ICのウエハ工程最終段階における特性チェック時に、ICの特性測定結果に応じて、所定の特性を理想値に近づけるために、必要に応じてフューズF1またはF2の溶断を行う。具体的には、抵抗Rの値がr0のままでよい場合にはフューズの溶断は行わないが、抵抗Rの値をr0より大きくしたいときは、フューズF1またはF2の溶断を行う。フューズF1を溶断する際は、電極パッドPD1, PD2にそれぞれ針を立て、所定の電流を供給する。これにより、ポリシリコン層102のフューズ本体部102Aで電流密度が増大し、この部分でポリシリコン層102が溶断され、フューズF1が遮断状態となる。その結果、抵抗Rの値は($r_0 + r_1$)に変化する。同様に、電極パッドPD2, PD3からの電流供給によりフューズF2を溶断させると抵抗Rの値は($r_0 + r_2$)に変化し、また、フューズF1, F2の双方を溶断させると抵抗Rの値は($r_0 + r_1 + r_2$)に変化する。

【0008】

【発明が解決しようとする課題】

ところが、この従来のフューズではフューズの溶断箇所がばらつき、図10(A)に示すポイントZ1でフューズが溶断することがある。この場合、発熱によって電極層がフューズに溶け出し、ポリシリコンの溶断箇所をつなぐため、溶断が十分になされないという課題がある。

【0009】

本発明の目的は、フューズの溶断箇所を安定的に導電層から離すことができ、これにより確実にフューズ溶断が可能な半導体装置を提供することにある。

【0010】

【課題を解決するための手段】

本発明に係る第1の半導体装置は、フューズ本体部と当該フューズ本体部によって連結されている2つのパッド部とを備えているフューズと、前記2つのパッド部のそれぞれに1つずつ接続されている2つの導電層と、が半導体基板上の積層構造内に形成されている半導体装置であって、前記2つの導電層間に電気的ストレスを印加し前記フューズを溶断したときに、前記導電層と重なる領域から離れた前記フューズ本体部内の位置に当該フューズの溶断部がくるように、前記フューズ本体部の長さが規定されていることを特徴とする。

望ましくは、前記フューズ本体部の幅が前記2つのパッド部の各々の幅より小さく、前記フューズ本体部の長さが $1.8\mu\text{m}$ より大きく $20\mu\text{m}$ 以下である。

【0011】

本発明の第2の半導体装置は、フューズ本体部と当該フューズ本体部によって連結されている2つのパッド部とを備えているフューズと、前記2つのパッド部のそれぞれに1つずつ接続されている2つの導電層と、が半導体基板上の積層構造内に形成されている半導体装置であって、前記2つの導電層間に電気的ストレスを印加し前記フューズを溶断したときに、前記導電層と重なる領域から離れた前記フューズ本体部内の位置に当該フューズの溶断部がくるように、前記2つの導電層の少なくとも一方において、前記パッド部とのコンタクト領域を含む導電層部分の幅が規定されていることを特徴とする。

望ましくは、前記コンタクト領域を含む導電層部分の前記幅が $6\mu\text{m}$ 以上 14

μm 以下である。

【0012】

上記第1または第2の半導体装置において、望ましくは、前記2つの導電層の少なくとも一方が、対応する前記パッド部に接続されている所定幅の部分と、当該所定幅の部分より幅が狭い配線部分と、を有する。或いは、望ましくは、前記2つの導電層の少なくとも一方に、当該導電層より幅が狭い配線層が接続されている。

また、前記2つの導電層間の距離が、前記フューズの前記2つのパッド部間の距離より大きいことが望ましい。

さらに、前記2つの導電層の少なくとも一方において、当該導電層と前記パッド部とを接続するコンタクト領域から前記フューズ本体部に接したパッド部エッジまでの距離が0.25 μm 以上で0.90 μm 以下であることが望ましい。

【0013】

上記第1または第2の半導体装置によれば、前記2つの導電層間に電気的ストレスを印加したときに、正極側の導電層からコンタクト領域を介してフューズに電流が流れる。これによりフューズ内をジュール熱による熱伝導および放熱が起り、その熱の一部が主に2つの導電層に逃げる。また、フューズ内を熱伝効果による熱の移動が起きる。このため加熱のピーク点がフューズの中心から正極側の導電層側に偏る。

【0014】

本発明に係る第1の半導体装置では、フューズ本体部の長さが適切に規定されているため、加熱ピーク点が正極側の導電層に極端に近づくことがない。その結果、導電層と重なるフューズの領域よりフューズ本体部の中心寄りの位置、即ち導電層端から離れた位置でフューズの溶断が起きる。

また、本発明に係る第2の半導体装置では、導電層と重なるフューズの領域よりフューズ本体部の中心寄りに、フューズの溶断位置がくるように、パッド部とのコンタクト領域を含む導電層部分の幅が規定されている。このため、発熱と放熱のバランスがとれ、導電層端から離れた位置でフューズの溶断が起きる。

【0015】

【発明の実施の形態】

[第1の実施の形態]

図1 (A) および図1 (B) に、本発明の実施の形態に係るフューズの平面図と断面図を示す。

半導体基板1上に絶縁膜2が形成され、絶縁膜2上にポリシリコンなどの導電材料からなるフューズ3が形成されている。フューズ3は、2つのパッド部3B aおよび3B bと、その間を連結するフューズ本体部3Aとからなる。フューズ本体部3Aは、フューズライン部3A aと、コーナー部での電界集中を分散させるなどの理由からフューズライン部3A aの両端それぞれで、外側ほど幅広に形成された連結部3A bとからなる。これらフューズライン部3A a、2つの連結部3A b、2つのパッド部3B aおよび3B bは、たとえばポリシリコン膜にP型またはN型の不純物を導入して形成される導電膜をパターンニングすることにより一括して形成される。

【0016】

フューズ3上に、たとえば酸化シリコンまたは窒化シリコンなどからなる層間絶縁膜4が形成されている。層間絶縁膜4は、フューズ3の両端のパッド部3B aおよび3B bのほぼ中央で開口され、これにより開口部4Aと4Bが形成されている。層間絶縁膜4の開口部4A、4Bより一回り大きなパターンにて導電層5Aと5Bが形成されている。なお、開口部4Aと4Bは、本発明の“コンタクト領域”の実施の形態を構成する。

【0017】

ここで、このような構成のフューズにおいて各部の長さL、幅W、および各部間の距離Dを、図1 (A) に示すように定義する。長さLはフューズに流す電流方向の寸法であり、幅Wは電流方向と直交する方向の寸法をいう。

フューズライン部3A aの長さをL0、フューズ本体部3Aの長さをL1、連結部3A bの長さをL2、2つの導電層5Aおよび5Bの長さをL3とする。また、導電層5Aおよび5Bの、コンタクト領域4Aまたは4Bを含む部分の幅をW3とする。さらに、導電層5Aと5Bの離間寸法をD0、フューズライン部3A aとコンタクト領域4Aとの距離、および、もう片方のコンタクト領域4Bと

フューズライン部3Aaとの距離をD2、フューズ本体部3Aと導電層5Aまたは5Bとの距離をD3、コンタクト領域4Aからパッド部3Baのフューズ側端までの距離、および、コンタクト領域4Bからパッド部3Bbのフューズ側端までの距離をD4とする。

【0018】

なお、フューズ3は、必ずしも図1(A)に示すように左右対称に形成されている必要はない。非対称の場合、上記長さL、幅Wおよび距離Dの定義は、少なくとも、バイアス時に正極となる側で適用される。以下、導電層5Aが正極側であると仮定する。

また、フューズ本体部と導電層との距離D3は0であってもよい。但し、パッド部に比べ抵抗値が高く溶断が起こるフューズ本体部を導電層5Aから離すことができる点では距離D3が正の値を有することが望ましい。逆に距離D3が大きすぎると距離D2が大きくなり、フューズ本体部3Aから電流供給点(コンタクト領域4A)までが離れすぎて加熱に余り寄与しない抵抗成分が増加することから、その点で適切な範囲が存在する。

さらに、連結部3Abは幅がパッド部側ほど大きい形状を有しているが、その形状、および連結部3Abの有無は任意である。

【0019】

本実施の形態では、あるバイアス条件の下で、フューズ3の3次元形状、即ち膜厚および平面パターン並びにフューズ3の材料、少なくとも正極側の導電層5Aの3次元形状、即ち膜厚および平面パターン並びに導電層の材料、さらには、上記で定義した各種構造パラメータにより、フューズの溶断位置が変化する。

種々の検討により、この各種構造パラメータの中でフューズの溶断位置を大きく左右するものは、フューズ本体部の長さL1、コンタクト領域4Aを含む導電層部分の幅W3、フューズライン部3Aaとコンタクト領域4Aとの距離D2、および、コンタクト領域4Aからパッド部端までの距離D4であることが分かった。フューズライン部3Aaの幅に比べると、その長さL0またはフューズ本体部3Aの長さL1が溶断部の位置に大きく影響する。また、導電層5Aの長さL3は放熱能力に影響するが、導電層5Aのコンタクト領域4Aの幅W3の方が溶

断部の位置に大きく影響する。

【0020】

これらの知見に基づいて、以下、3つの構造パラメータ L_1 , W_3 および D_4 それぞれについて、フューズを溶断する時間（以下、カット時間という）の依存性を調べた結果について述べる。なお、フューズラインとコンタクト領域との距離 D_2 については、図1 (A) の構造では影響が大きい部類に入ることは分かっているが、本実施の形態で連結部 $3A_b$ の有無が任意であることから、ここでの検討は行っていない。

【0021】

3つの構造パラメータ L_1 , W_3 および D_4 の何れかを変化させるが、残りのパラメータは典型値を用いた。典型的な他の構造パラメータを述べると、フューズ本体部の長さ L_1 および導電層間距離 D_0 が各々 $2.5 \sim 6.0 \mu\text{m}$ 、導電層の長さ L_3 および幅 W_3 が各々 $6 \sim 10 \mu\text{m}$ 、フューズライン部 $3A_a$ の幅が $0.数 \mu\text{m}$ 、距離 D_2 , D_3 および D_4 が、それぞれ $0.5 \sim 1.5 \mu\text{m}$, $0.01 \sim 0.3 \mu\text{m}$ および $0.数 \mu\text{m}$ である。また、絶縁膜2の厚さが数百 nm 、ポリシリコン膜厚が数十～ 250 nm 、シリコン酸化膜4の厚さが $200 \sim 500 \text{ nm}$ とした。導電層は、下層から順に $\text{Ti} / \text{TiON} / \text{Ti} / \text{Al} / \text{TiON}$ により構成されている。このときフューズは、初期抵抗値が $500 \sim 800 \Omega$ 、シート抵抗が数十～ $150 \Omega / \square$ であった。

【0022】

図2に、導電層幅 W_3 のカット時間依存性を示す。導電層幅 W_3 は小さ過ぎても大き過ぎてもカット時間が長くなる。また、カット時間が $1 \mu\text{s}$ 以下において、導電層幅 W_3 が $6 \mu\text{m}$ 以上で $14 \mu\text{m}$ 以下の最適範囲をとる。ここで、 $1 \mu\text{s}$ のカット時間を基準とするのは、フューズ溶断とみなす抵抗規格 $20 \text{ M}\Omega$ 以上を満たさないフューズは、その溶断にかかった時間が $1 \mu\text{s}$ を超えると発生し始めることが、種々の構造パラメータを変化させたばらつきデータから経験的に判明しているからである。特に、図2に示すように、導電層幅 W_3 を $6 \mu\text{m}$ より小さくすると、フューズを溶断させて抵抗値を $20 \text{ M}\Omega$ 以上の規格内にするためのカット時間が急激に長くなる。

【0023】

この $1\mu s$ より長い時間バイアスを印加して溶断を行うことによって抵抗値が規格外となったフューズをSEMにより解析した。その素子断面SEM写真を元に描いた簡略断面図を、図5に示す。

この図5から、ポリシリコン膜3の破断箇所Zが正電圧を印加した導電層（A1電極）5A側に位置している。この正極側では、Ti/TiON/Ti層5Cが溶出し、ポリシリコンとの合金層が形成されている。また、接地電位を付与した導電層5B側でアルミニウム（A1）が溶出し、これとポリシリコンとの合金層が形成されている。これらの合金層はポリシリコンより低抵抗な層であり、このような合金層の存在によってフューズの抵抗値が抵抗規格 $20M\Omega$ 以上を満足できなくなる。

【0024】

図3に、パッド部エッジとコンタクト領域間距離D4のカット時間依存性を示す。

この距離D4も、図2に示す導電層幅W3と同じような傾向のカット時間依存性を示しており、距離D4は小さ過ぎても大き過ぎてもカット時間が長くなる。また、カット時間が $1\mu s$ 以下において、距離D4が $0.25\mu m$ 以上で $0.90\mu m$ 以下の最適範囲をとる。ここで、最適範囲の基準として同様に $1\mu s$ のカット時間用いている。特に、図3に示すように、距離D4を $0.25\mu m$ より小さくすると、フューズを溶断させて抵抗値を $20M\Omega$ 以上の規格内にするためのカット時間が急激に長くなる。これは、前記した図5と同様に、バイアス印加時間を長くすると、Ti/TiON/Ti層とポリシリコンとの合金層、或いは、アルミニウム（A1）とポリシリコンとの合金層が形成され、これによりカット後のフューズ抵抗値がある程度までしか大きくならないからである。

【0025】

図4に、フューズ本体部長さL1のカット時間依存性を示す。

フューズ本体部長さL1は、導電層幅W3や距離D4とカット時間依存性の傾向が異なっている。長さL1は小さくしていくと約 $1.55\mu m$ 付近からカット時間が急激に長くなる。ところが、長さL1を長くしていくとカット時間が短く

なる一方であり、長さ L_1 がある長さになると飽和し、これ以上は殆どカット時間の変化が見られなくなる。さらに、フューズ本体部の長さ L_1 を長くすると、いかなるバイアス条件でもフューズがカットされない限界が存在することも判明した。この限界点は、様々な構造パラメータがばらついたサンプルで実験的に確かめると、フューズ本体部の長さ L_1 が約 $20 \mu\text{m}$ のときであった。したがって、先の2例の場合と同じ、 $1 \mu\text{s}$ 以下のカット時間を適用すると、フューズ本体部長さ L_1 の範囲を「 $1.55 \mu\text{m}$ 以上 $20 \mu\text{m}$ 以下」と規定することができる。

【0026】

但し、フューズ本体部長さ L_1 については、斜め破断というもう一つの観点からの制限を加える必要がある。斜め破断とは、 $Ti/TiON/Ti$ 層とポリシリコンとの合金層、或いは、アルミニウム (Al) とポリシリコンとの合金層が、コンタクト領域 4A または 4B で起こるのではなく、正極側の導電層 5A のエッジ直下で層間絶縁膜 4 が破れ、この箇所でポリシリコンの合金化が起こる現象をいう。

図 6 に、斜め破断が生じたフューズの SEM 写真を元に描いた簡略断面図を示す。斜め破断が起こると、フューズの短絡が起こるため急激に抵抗値が低下する。その結果、フューズ抵抗値は、その溶断とみなす抵抗規格値「 $20 \text{M}\Omega$ 以上」を大きく下回ってしまう。

前記したフューズ本体部長さ L_1 の範囲「 $1.55 \mu\text{m}$ 以上 $20 \mu\text{m}$ 以下」が、フューズ溶断の不良率低減のための最適範囲といえるためには、その下限値側が、斜め破断が起こらないための条件に適合しなければならない。すなわち、フューズの破断箇所が少しでも導電層 5A のエッジにかかると、斜め破断の確率が急激に増大することから、そのようなことがないようにフューズ本体部長さ L_1 の範囲が制限されなければならない。

【0027】

図 7 (A) ~ 図 7 (C) に、フューズ本体長さ $L_1 = 1.8 \mu\text{m}$ を中心に変化させたときの溶断後の SEM 写真を元に描いた簡略断面を示す。

長さ L_1 が $1.8 \mu\text{m}$ より小さいときは、図 7 (A) に示すように、フューズ

の破断位置中心 Z_1 が導電層 $5A$ の下方に位置する。このとき斜め破断の確率はかなり高い。フューズの破断位置中心 Z_2 が導電層 $5A$ のエッジとほぼ一致する図7 (B) は、フューズ本体部長さ L_1 が $1.8\mu m$ である。このときも斜め破断の確率は高いが、これより少しでも長さ L_1 が大きくなると斜め破断の確率が低下する。そして、図7 (C) のように、フューズ本体部長さ L_1 が $1.8\mu m$ より十分大きくなると、破断位置中心 Z_3 が導電層 $5A$ のエッジから大きく離れるため、斜め破断の可能性は殆どなくなる。図7 (A) の場合、フューズの分離部分がほとんど接触しかけているためカット時間がかなり長くなる。図7 (B) の場合、フューズの分離部分がかなり離れているためカット時間が急激に低下して規格 ($1\mu s$ 以内) に入ることがある。但し、斜め破断の可能性があるため、場合によっては規格を外れる虞が残されている。図7 (B) の場合よりもフューズ本体長さ L_1 が少しでも長くなると、斜め破断の可能性が低下するためカット時間が規格内に入るようになる。図7 (C) のように、フューズの分離が十分になると、それ以上分離距離が離れた場合でも抵抗値は大きく変化しないため、カット時間も低い側で安定する。

【0028】

このようにフューズ本体長さ L_1 が $1.8\mu m$ の値が、現実的な範囲の下限境界となると言える。よって、フューズ本体長さ L_1 の適切な範囲は「 $1.55\mu m$ 以上で $20\mu m$ 以下」、さらに望ましくは「 $1.8\mu m$ より大きく $20\mu m$ 以下」となる。

【0029】

本実施の形態によれば、前述した3つの構造パラメータ L_1 , W_3 および D_4 のうち1つ、或いは複数の任意のパラメータを組み合わせることにより、フューズ溶断後の抵抗値が規格外となる可能性を大幅に低減することができる。

【0030】

従来は、フューズ溶断不良の発生率が相対的に高かったことから、その不良が発生したチップは、フューズによる特性のトリミングが行えないままパッケージ組み立て工程に送られることがあった。その場合、組み立て後の出荷前検査での上記特性不良率が高くなることがあり、材料費等の無駄が多かった。或いは、フ

フューズ溶断不良が発生したチップをPC（ペレットチェック）不良として組み立て工程に送らないようにすることもできるが、フューズ溶断不良は、そのトリミング対象である特性の良否とは無関係である。したがって、このようにすると、本来良品であるはずのチップがウエハプロセス段階で不良品として落とされ、この場合も材料費の無駄が発生する場合がある。

【0031】

本実施の形態では、構造パラメータL1, W3およびD4の最適化によりフューズ不良率を大幅に低減することが可能なことから、例えば、パッケージに組み立てた後、あるいはペアチップをモジュールに組み込んだ後での特性トリミングを行っても、それによる経費の無駄は軽微なものとなる。

【0032】

なお、幅W3を有する導電層5Aおよび5Bは、その長さL3を規定しないで通常の配線として用いても良いが、幅W3は通常の配線幅より大きくなることが多い。この場合、少なくとも正極側の導電層、例えば導電層5Aのみ、あるいは双方の導電層5Aと5Bを配線層の幅広の先端部分として規定することができる。この場合、配線層と導電層5Aまたは5Bとは、1つの導電膜をパターンニングすることによって一括形成される。或いは、配線層と導電層5Aおよび5Bとを、半導体基板上の多層膜構造の異なる階層から形成することができる。たとえば、導電層5Aおよび5Bを1st A1層から形成し、これに不図示のコンタクトプラグを介して接続される2nd A1層から配線層を形成することができる。

【0033】

[第2の実施の形態]

本実施の形態は、フューズ選択回路を備えた半導体装置に関する。フューズは、構造パラメータL1, W3およびD4の何れも最適化されていないものであっても良いが、第1実施の形態で述べた構造のフューズを用いることが望ましい。このフューズを用いると出荷検査時の特性不良率を向上させることができることは先に述べたが、本実施の形態は、さらに出荷検査時の特性トリミングを行って当該特性の不良率を向上させるためにフューズを電気的に選択する手段を有することを特徴とする。

【0034】

図8は、LCD駆動IC等に搭載されている駆動電圧制御回路の構成を示す回路図である。

この特性調整回路（駆動電圧調整回路）は、ダブルポリフューズ構成を有している。フューズFUSE AとFUSE Bが駆動電圧VFUSEの供給線に並列接続されている。このフューズを選択する回路10は、5つの NANDゲートN1～N5、2つのインバータI1とI2、4つのPMOSトランジスタMP1～MP4、2つのNMOSトランジスタMN1とMN2、3つの抵抗R1～R3、および、4つのバイポーラトランジスタQ1～Q4とを有する。トランジスタMP1、MP2、MP3およびMN1が電源電圧VCCと接地電位GNDとの間に接続されている。同様に、トランジスタMP1、MP2、MP4およびMN2が、抵抗R1、トランジスタQ1および抵抗R2が、抵抗R1、トランジスタQ2および抵抗R3が、それぞれ電源電圧VCCと接地電位GNDとの間に接続されている。

【0035】

トランジスタMP1のゲートにNANDゲートN1の出力VGPが入力され、NANDゲートN1の2つの入力に制御信号ENDXとFLGとが入力される。制御信号ENDXとFLGは、NANDゲートN2にも入力され、その出力ACTXがトランジスタMN1とMN2のゲートと、インバータI2の反転入力に入力される。インバータの出力ACTは、NANDゲートN3、N4およびN5に入力される。NANDゲートN3とN4に信号CUTが入力され、NANDゲートN3とインバータI1にフューズの選択信号SELが入力される。インバータI1の出力はNANDゲートN4に入力され、その出力CUTAXがトランジスタMP3のゲートに入力される。一方、NANDゲートN3の出力CUTBXがトランジスタMP2のゲートに出力され、NANDゲートN5の入力にデータ信号DATAが入力される。

【0036】

トランジスタMP3とMN1との接続中点の電位が、トランジスタQ2のベースに印加され、それによってトランジスタQ2がオンまたはオフする。トランジ

スタQ2のエミッタ電位が変化すると、それにより高耐圧のトランジスタQ4がオンまたはオフする。これにより、フューズFUSEBの電流がオンまたはオフする。同様に、トランジスタMP4とMN2との接続中点の電位が、トランジスタQ1のベースに印加され、それによってトランジスタQ1がオンまたはオフする。トランジスタQ1のエミッタ電位が変化すると、それにより高耐圧のトランジスタQ3がオンまたはオフする。これにより、フューズFUSEAの電流がオンまたはオフする。

【0037】

つぎに、この回路動作の詳細を、フューズFUSEBが選択される場合を例に、さらに詳細に説明する。この動作時にアクティブとなる線を、図8において太線で示している。

フューズ不良検出モードでは、制御信号ENDXとFLGがともに「H」であるから、 NANDゲートN1の出力VGPが「L」し、トランジスタMP1がオン可能な状態となっている。また、 NANDゲートN2の出力ACTXが「L」、その反転信号ACTが「H」となっている。この信号ACTが「H」であることから、 NANDゲートN5は、データ信号DATAに応じてトランジスタMP2を制御可能な状態となっている。つまり、データ信号DATAが「L」の場合は、トランジスタMP2がオンし得ないので、フューズカットは一切行われないが、データ信号DATAが「H」の場合は、フューズカット指令が出され、 NANDゲートN5の制御によってトランジスタMP2がオン可能な状態となる。

【0038】

この状態で、フューズカットの許可信号CUTが「H」、フューズ選択信号が「L」となると、 NANDゲートN3の出力CUTBXが「H」、 NANDゲートN4の出力CUTAXが「L」となる。その結果、トランジスタMP3がオン可能な状態、 MP4がオフ状態となる。NMOSトランジスタMN1とMN2はオフしているので、トランジスタQ2のベースに「H」の電位が印加される。この「H」電位はトランジスタQ4のベースに伝達され、その結果、フューズFUSEBに、たとえば数十mA程度の電流が流れ、フューズFUSEBがカットされる。

【0039】

一方、選択信号SELが「L」なので、 NANDゲートの出力CUTBXは「H」となりフューズFUSEA側の制御トランジスタMP4, Q1およびQ3はオフしたままであり、その結果、フューズFUSEAに電流が流れない。

【0040】

フューズFUSEAとトランジスタQ3との接続中点電位は、フューズFUSEAの抵抗値を反映したものとなり、同様に、フューズFUSEBとトランジスタQ4との接続中点電位は、フューズFUSEBの抵抗値を反映したものとなる。これらの2つの出力に基づいて、C/S判定回路20が、フューズ抵抗値が規格を満たしているか否かを判断する。フューズ抵抗値が十分高い場合は、その出力信号OUTがカット状態を示す「H」を出力し、初期状態およびフューズ不良で抵抗値が十分高くならない場合は、その出力信号OUTがショート状態を示す「L」を出力する。

このダブルポリフューズ構成では、片方のフューズ溶断に不具合が出ても、もう片方のフューズが不良でない限り、特性調整の役目を遂行できる。2つのフューズがともに不良となる確立は極めて低いので、出荷検査で特性調整不能となることは殆どない。

なお、不良率が向上した第1の実施の形態のフューズを用いた場合、シングルフューズ構成でも十分に信頼性を高くできる。その場合、1系統の制御トランジスタ群とセレクト信号の制御系回路を省略できる。

【0041】

本実施の形態では、このようなフューズ選択回路を多数組み合わせることによって、例えばLCDドライバICの液晶駆動電圧の微調整を容易に行うことができる。

LCDパネルでは、高解像度化が進み1パネルを駆動するICの個数が増えており。そのためドライバIC間の特性差によって画面に見える縦筋を有効に防止することが重要となってきている。そのためには、内部データに応じて電気的に駆動出力電圧を調整する機能を搭載したICが望まれる。

このフューズ選択回路10およびC/S判定回路20は、内部データDATに

よってフューズによる特性調整の要・不要を自動検出し、また、フューズ不良の有無を電気的に行うことができる。このため、特にパッケージ組み立て後のIC、あるいは、携帯機器のパネル駆動回路などのように実装スペースがなくICチップをペアで基板に組み付けた場合でも、その後、外部から電気的にフューズによる特性調整の要・不要およびフューズ不良の検出が行えるという大きな利点が得られる。なお、この機能を有するといつても、本構成によりフューズ不良検出をウエハ或いはチップ段階で行うことは排除するものではない。

【0042】

【発明の効果】

本発明の半導体装置によれば、フューズの溶断位置が導電層にあまり近づかないように、フューズ本体部の長さが適切に設定されている。このため、導電層のエッジ部分で当該導電層とフューズ間のショートが生じにくい。その結果、フューズ遮断時の抵抗を十分かつ安定に高くすることができ、フューズ不良率を低減できる。

その結果、当該半導体装置は、フューズ不良を殆ど意識しなくてもよくなり、フューズのチェックの手間、コストが省ける。

また、フューズの選択回路を有する場合、製品出荷時にフューズによる特性調整の要・不要およびフューズ不良の検出が行えるようになり、不良率が低く使いやすい半導体製品を提供することが可能となる。

【図面の簡単な説明】

【図1】

(A) は、本発明の実施の形態に係るフューズの平面図である。(B) は、その断面図である。

【図2】

導電層幅のカット時間依存性を示すグラフである。

【図3】

パッド部エッジとコンタクト領域間距離のカット時間依存性を示すグラフである。

【図4】

フューズ本体部長さのカット時間依存性を示すグラフである。

【図5】

長い時間バイアスを印加して溶断を行うことによって抵抗値が規格外となったフューズについて、そのSEM写真を元に描いた簡略断面図である。

【図6】

斜め破断が生じたフューズのSEM写真を元に描いた簡略断面図である。

【図7】

(A)～(C)は、フューズ本体長さL1を、1.8μmを中心に変化させたときの溶断後のSEM写真を元に描いた簡略断面である。

【図8】

本発明の第2の実施の形態に係るフューズ選択回路を含む駆動電圧制御回路の構成を示す回路図である。

【図9】

電流供給によりフューズを溶断するトリミング回路図である。

【図10】

(A)は、トリミング回路のフューズ構成を示す平面図、(B)は、その断面図である。

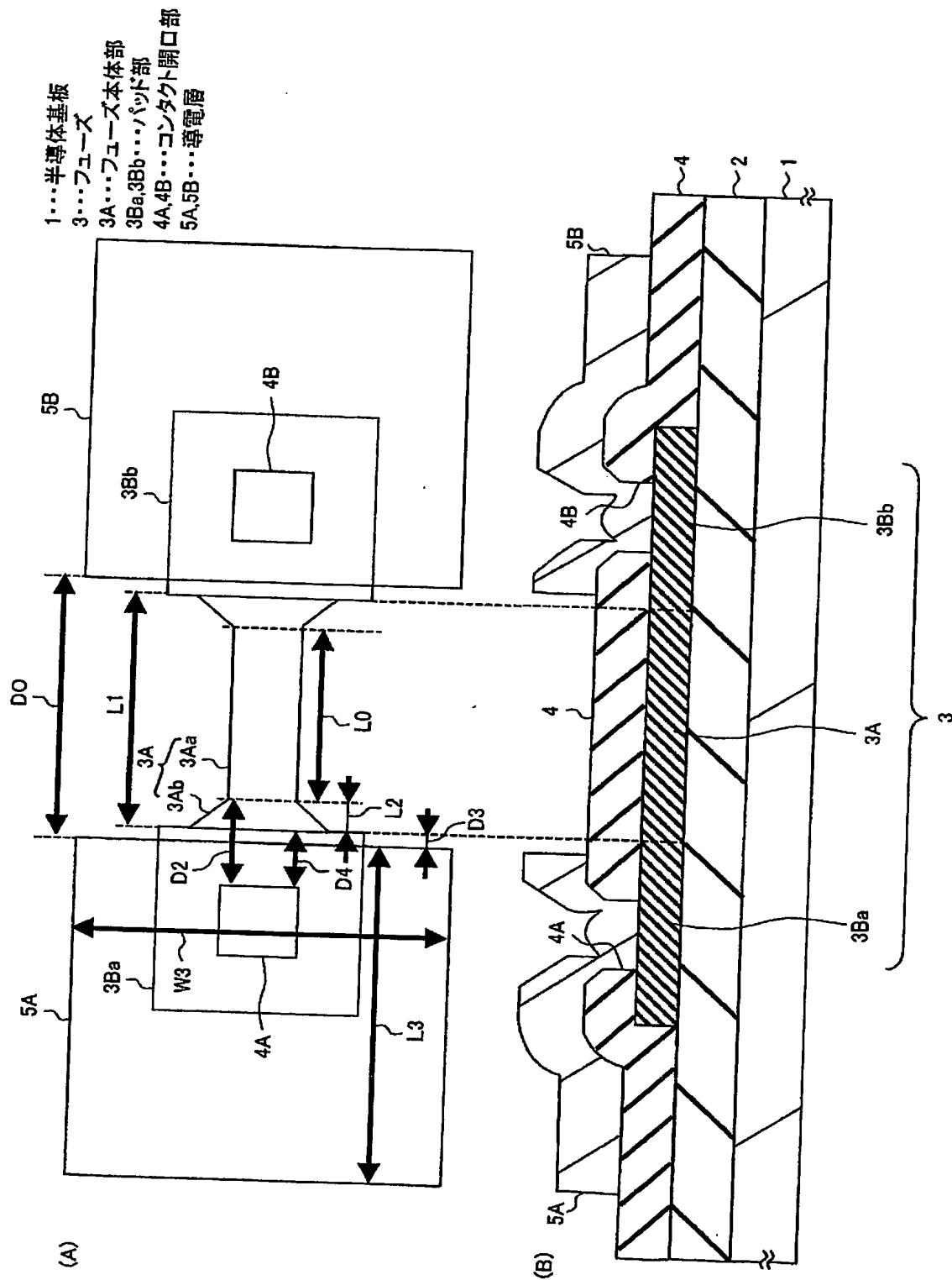
【符号の説明】

1…半導体基板、2…絶縁膜、3…フューズ、3A…フューズ本体部、3B_a、
3B_b…パッド部、4…層間絶縁膜、4A、4B…コンタクト領域、5A、5B…導電層、10…選択回路

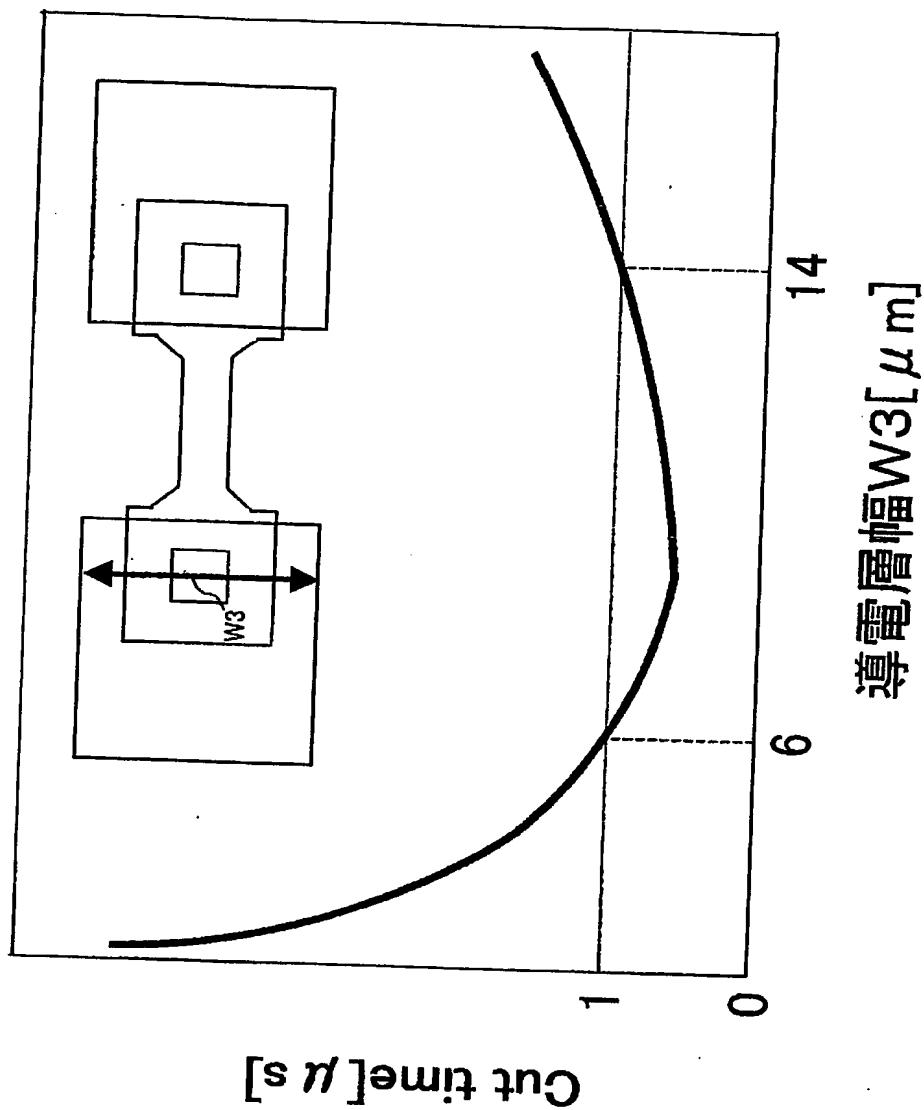
【書類名】

図面

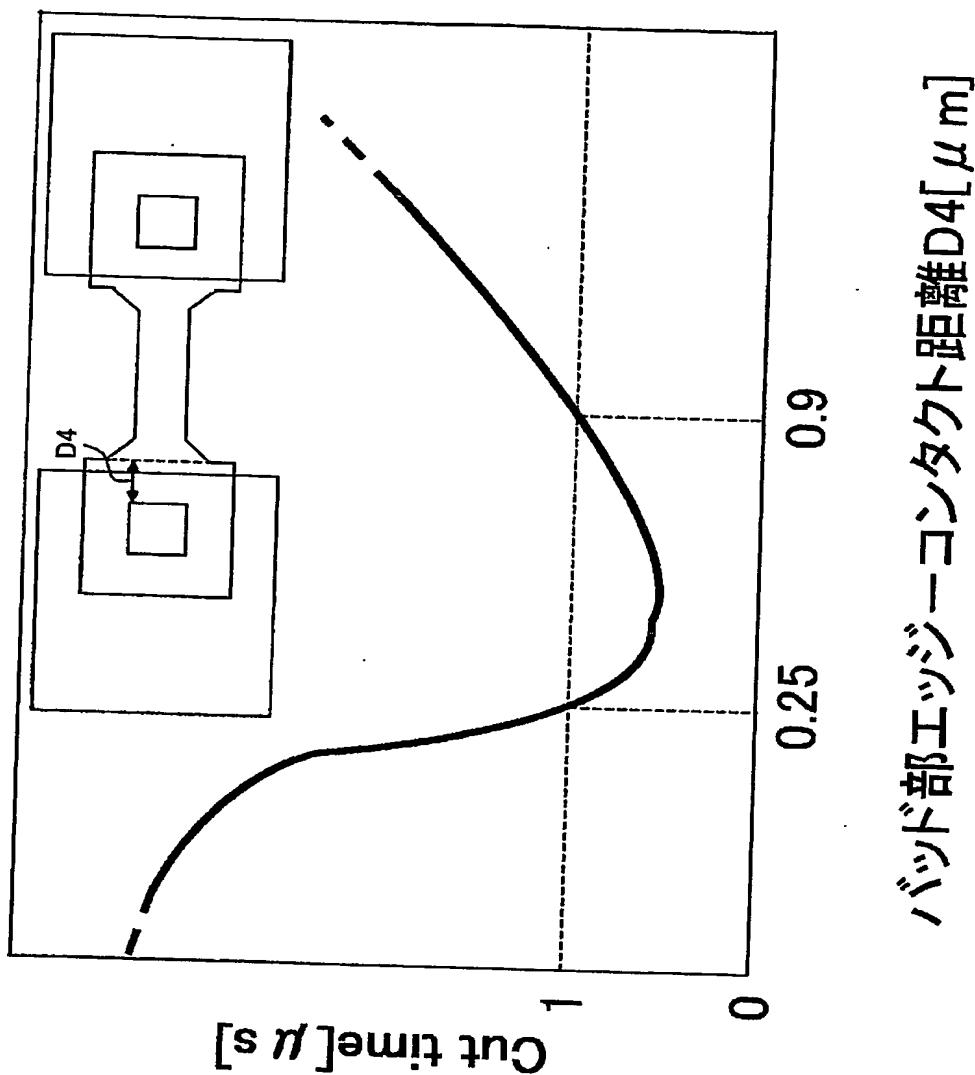
【図1】



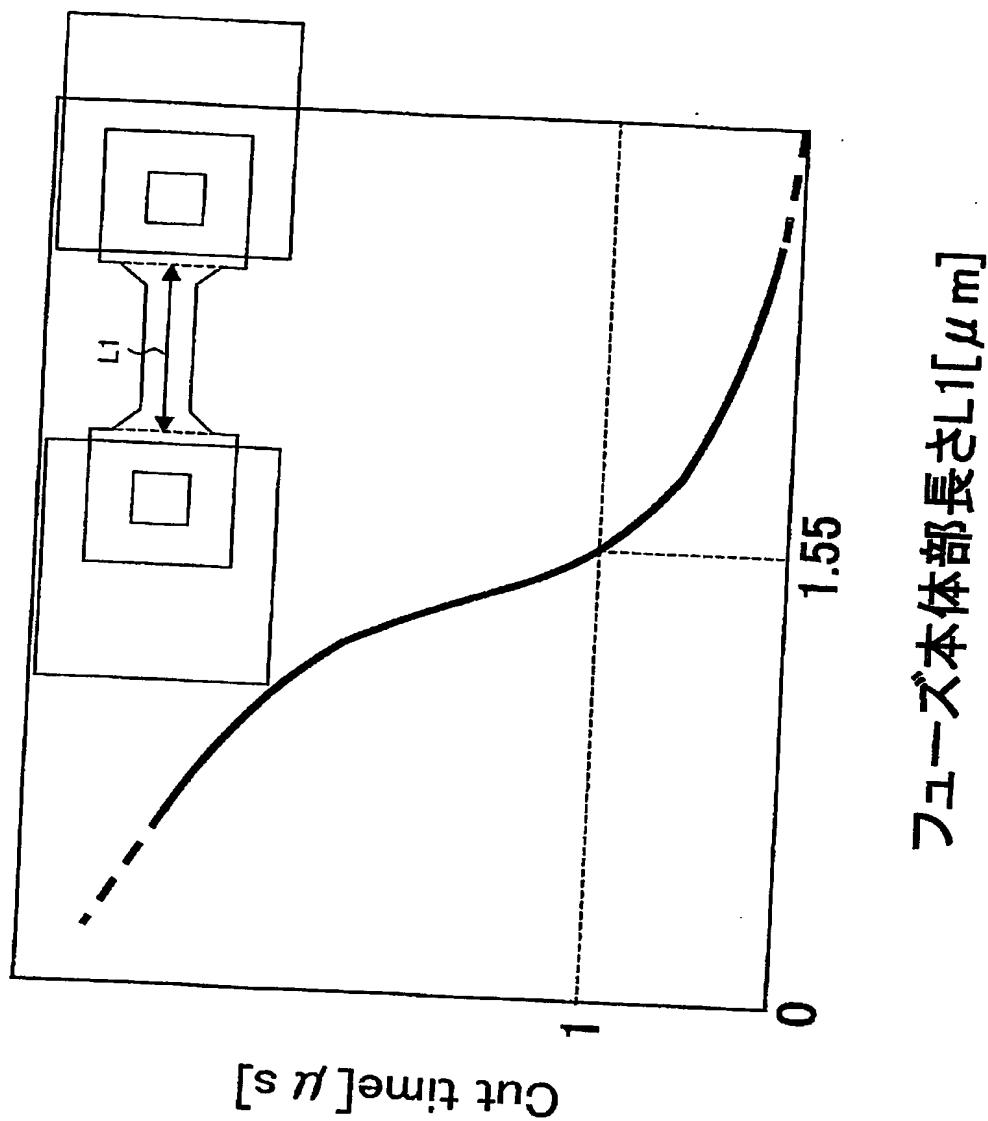
【図2】



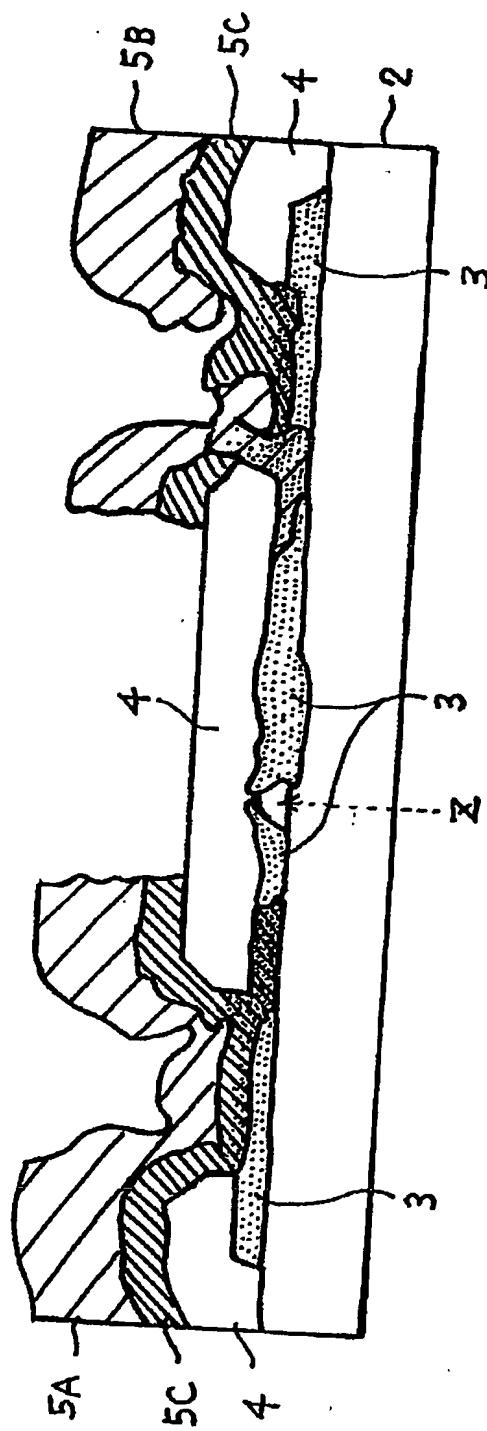
【図3】



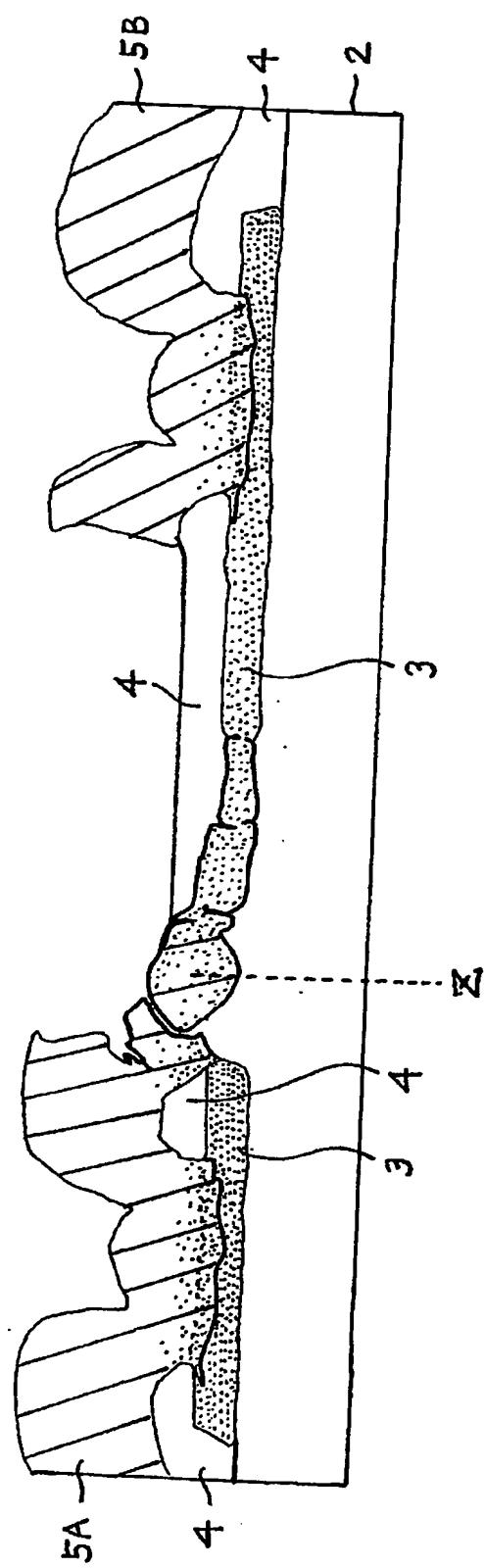
【図4】



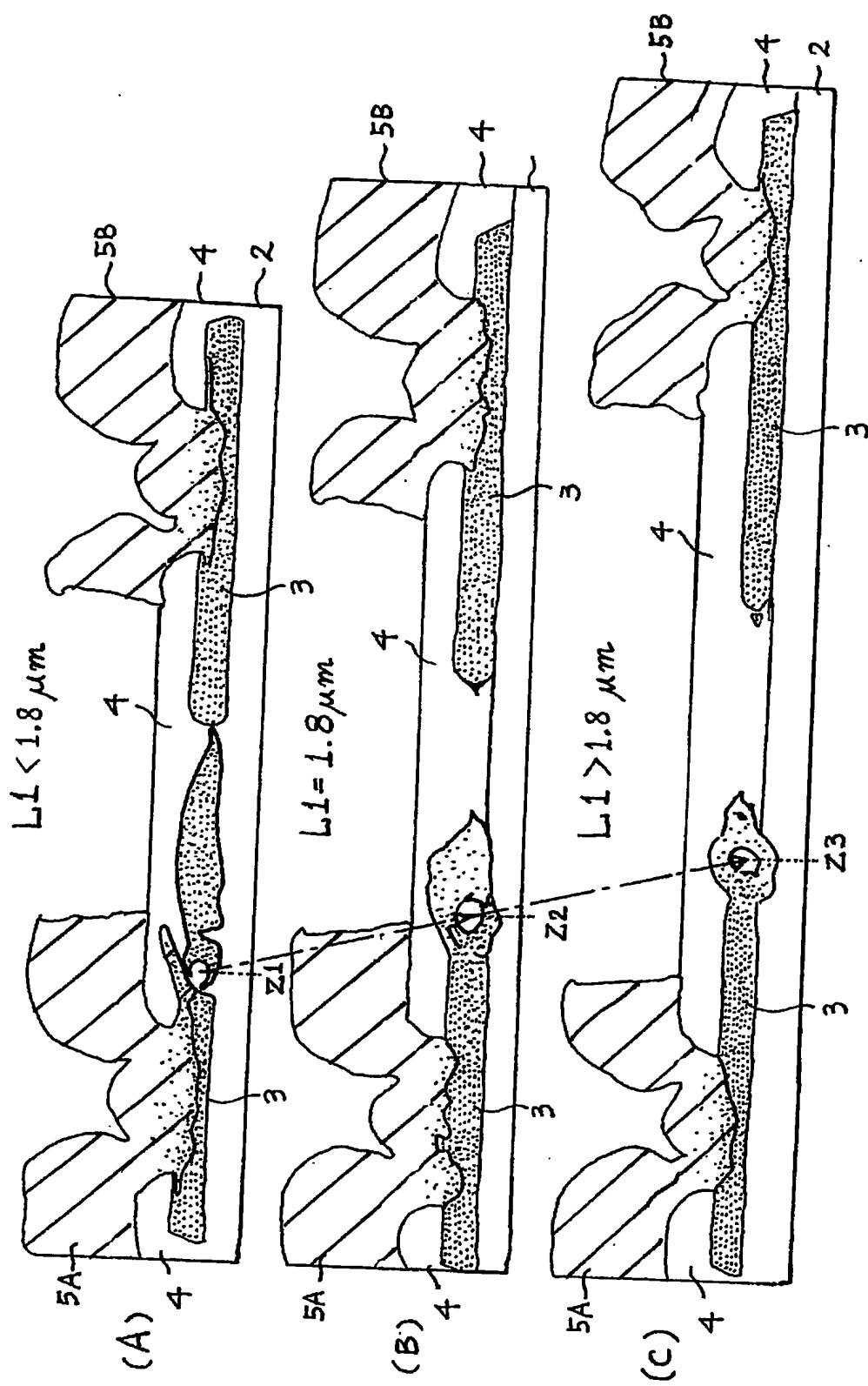
【図 5】



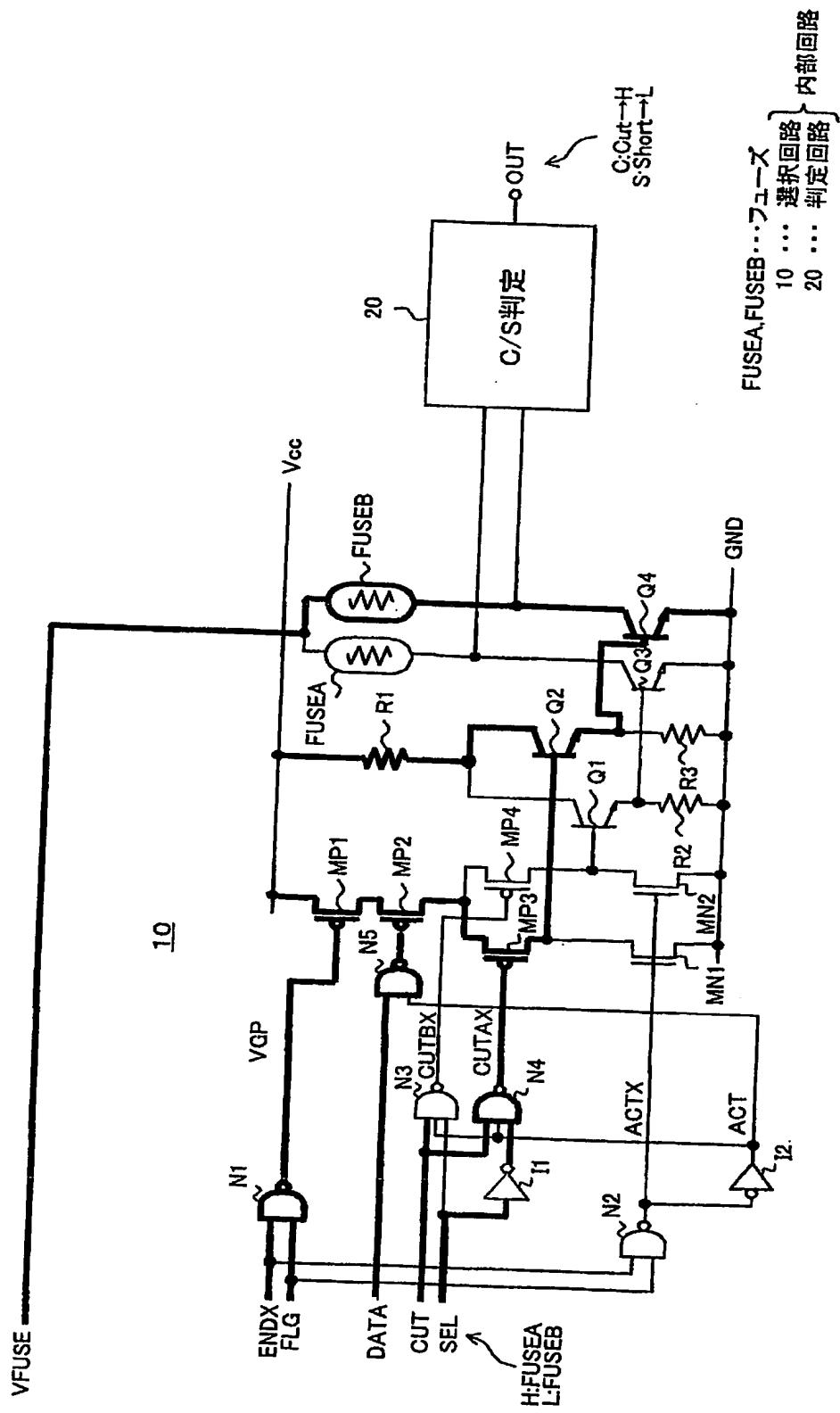
【図6】



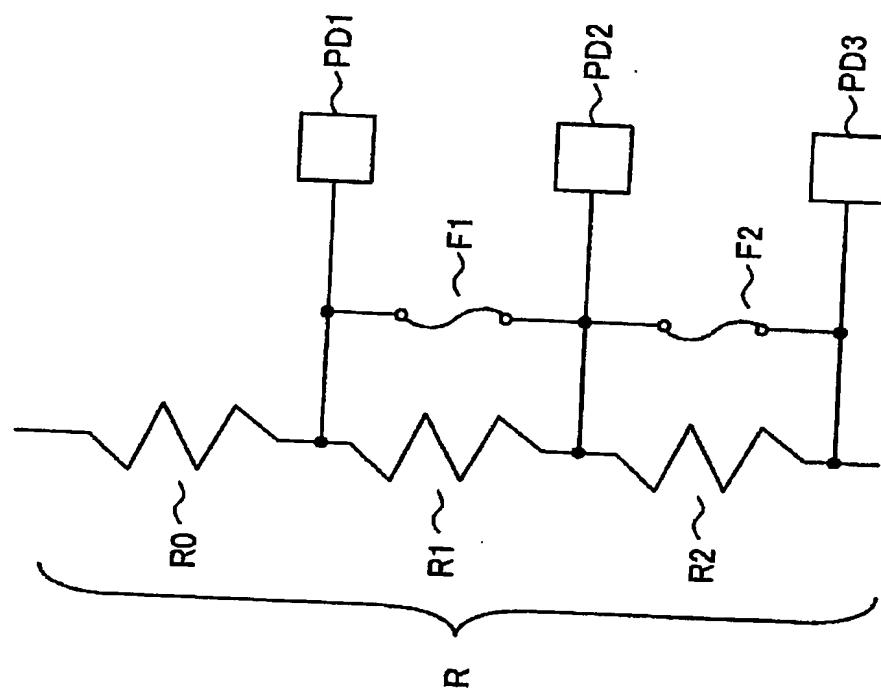
【図7】



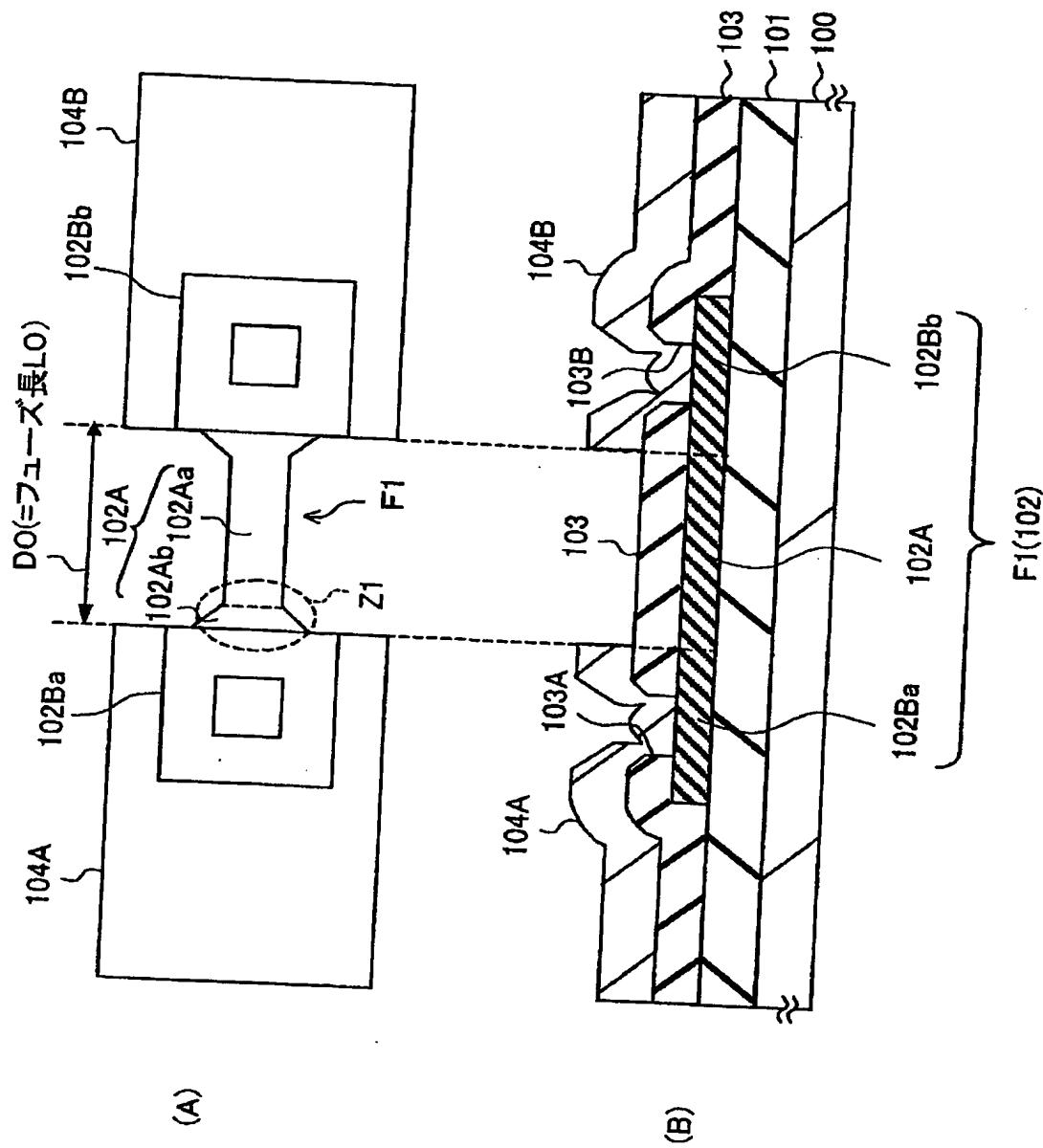
【図 8】



【図 9】



【図10】



【書類名】 要約書

【要約】

【課題】 フューズの溶断箇所を安定的に導電層から離すことにより確実なフューズ溶断を可能とする。

【解決手段】 フューズ本体部3Aと、これにより連結されている2つパッド部3B a, 3B bとを備えているフューズ3と、2つのパッド部のそれぞれに1つずつ接続されている2つの導電層5A, 5Bと、が半導体基板上の積層構造内に形成されている。2つの導電層5A, 5B間に電気的ストレスを印加してフューズ3を溶断したときに、導電層5Aまたは5Bと重なる領域から離れたフューズ本体部内の位置に当該フューズの溶断部がくるように、フューズ本体部3Aの長さが規定されている。

【選択図】 図1

特願2003-096093

出願人履歴情報

識別番号

[000002185]

1. 変更年月日

[変更理由]

住 所

氏 名

1990年 8月30日

新規登録

東京都品川区北品川6丁目7番35号

ソニー株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURRED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLOR OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.